

PAT-NO: JP02000164792A
DOCUMENT-IDENTIFIER: JP 2000164792 A
TITLE: SEMICONDUCTOR DEVICE AND MANUFACTURE
THEREOF
PUBN-DATE: June 16, 2000

INVENTOR-INFORMATION:
NAME
YOSHIKAWA, YASUHIRO

COUNTRY
N/A

ASSIGNEE-INFORMATION:
NAME
HITACHI LTD

COUNTRY
N/A

APPL-NO: JP10340572
APPL-DATE: November 30, 1998

INT-CL (IPC): H01L025/04, H01L025/18 , H01L023/538

ABSTRACT:

PROBLEM TO BE SOLVED: To enable a semiconductor device to be improved in mass productivity, lessened in cost, and enhanced in reliability.

SOLUTION: Eight WPPs 5 which are each equipped with a semiconductor chip 1 as a memory chip and a bump electrode 1c electrically connected to the pad of the chip 1 are prepared, and a module board 3 provided with outer terminals and capable of supporting the eight WPPs 5 is prepared, the rear 5b of the WPPs 5 are bonded to a heat-dissipating plate 4, thereafter the bump electrodes 1c of

the eight WPPs 5 mounted on the plate 4 are connected electrically to the module board 3, and the eight WPPs 5 with the heat-dissipating plate 4 are mounted on the module board 3 for assembling a memory module 10.

COPYRIGHT: (C)2000,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-164792
(P2000-164792A)

(43) 公開日 平成12年6月16日 (2000.6.16)

(51) Int.Cl. ⁷	識別記号	F I	テマコード* (参考)
H 0 1 L 25/04		H 0 1 L 25/04	Z
25/18		23/52	A
23/538			

審査請求 未請求 請求項の数 9 O L (全 11 頁)

(21) 出願番号	特願平10-340572	(71) 出願人	000005108 株式会社日立製作所 東京都千代田区神田駿河台四丁目6番地
(22) 出願日	平成10年11月30日 (1998. 11. 30)	(72) 発明者	吉川 泰弘 東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体事業本部内
		(74) 代理人	100080001 弁理士 筒井 大和

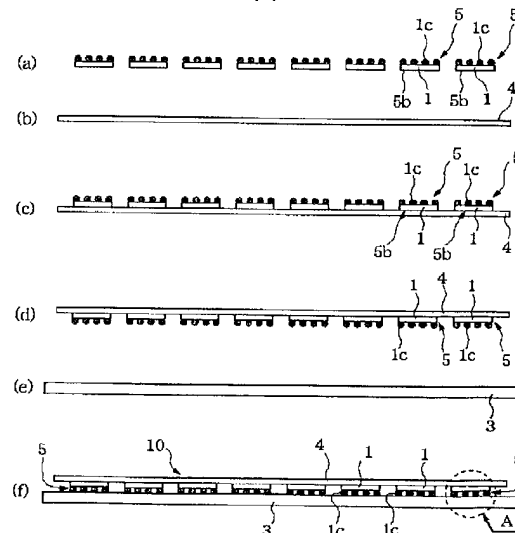
(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 半導体装置において量産性を向上してコストを低減するとともに、信頼性の向上を図る。

【解決手段】 メモリチップである半導体チップ1とこれのパッドに電気的に接続するバンプ電極1cとを備えた8個のWPP5を準備し、複数の外部端子が設けられかつ8個のWPP5を支持可能なモジュール基板3を準備し、放熱板4と8個のWPP5におけるそれぞれの背面5bとを接合し、その後、放熱板4が取り付けられた8個のWPP5におけるそれぞれのバンプ電極1cとモジュール基板3とを電気的に接続して放熱板4付きの8個のWPP5をモジュール基板3に実装してメモリモジュール10を組み立てる。

図 4



1: 半導体チップ
1c: バンプ電極(接続端子)
3: モジュール基板
4: 放熱板
5: WPP(チップ構造体)
5b: 背面(反対側の面)
10: メモリモジュール(半導体装置)
A: 接合部

【特許請求の範囲】

【請求項1】 半導体チップとこれの表面電極に電氣的に接続する接続端子とを備えた複数のチップ構造体と、複数の前記チップ構造体を支持し、前記チップ構造体の前記接続端子と電氣的に接続する外部端子が設けられたモジュール基板と、

それぞれの前記チップ構造体の基板実装側の面と反対側の面に取り付けられた放熱板とを有し、

前記放熱板と複数の前記チップ構造体のそれぞれの前記反対側の面とを接合した後、複数の前記チップ構造体を前記モジュール基板に実装して形成することを特徴とする半導体装置。

【請求項2】 請求項1記載の半導体装置であって、前記チップ構造体は、前記表面電極に電氣的に接続する配線部とこれに電氣的に接続する前記接続端子とが半導体ウェハの各チップ領域で形成された後、個々の前記チップ構造体に切断分離された構造体であることを特徴とする半導体装置。

【請求項3】 請求項1または2記載の半導体装置であって、各々の前記チップ構造体における前記半導体チップがメモリチップであり、前記接続端子がバンプ電極であることを特徴とする半導体装置。

【請求項4】 半導体チップとこれの表面電極に電氣的に接続する接続端子とを備えた複数のチップ構造体を準備する工程と、

複数の外部端子が設けられ、複数の前記チップ構造体を支持可能なモジュール基板を準備する工程と、

放熱板と、複数の前記チップ構造体におけるそれぞれの基板実装側の面と反対側の面とを接合する工程と、

複数の前記チップ構造体におけるそれぞれの前記接続端子と前記モジュール基板とを電氣的に接続して複数の前記チップ構造体を前記モジュール基板に実装する工程とを有し、

前記放熱板と複数の前記チップ構造体のそれぞれの前記反対側の面とを接合した後、複数の前記チップ構造体をそれぞれ電氣的に接続して前記モジュール基板に実装することを特徴とする半導体装置の製造方法。

【請求項5】 請求項4記載の半導体装置の製造方法であって、前記チップ構造体を準備する際に、前記半導体チップの前記表面電極に電氣的に接続する配線部とこれに電氣的に接続する前記接続端子とを半導体ウェハの各チップ領域で形成した後、個々の前記チップ構造体に切断分離して前記チップ構造体を準備することを特徴とする半導体装置の製造方法。

【請求項6】 請求項4または5記載の半導体装置の製造方法であって、前記放熱板と複数の前記チップ構造体におけるそれぞれの前記反対側の面とを接合する際に、チップ構造体位置決め手段によってそれぞれの前記チップ構造体と前記放熱板とを位置決めして前記放熱板と複数の前記チップ構造体とを接合することを特徴とする半

導体装置の製造方法。

【請求項7】 請求項4、5または6記載の半導体装置の製造方法であって、前記放熱板と接合した複数の前記チップ構造体を前記モジュール基板に実装する際に、放熱板位置決め手段によって前記放熱板と前記モジュール基板とを位置決めして実装することを特徴とする半導体装置の製造方法。

【請求項8】 請求項4、5、6または7記載の半導体装置の製造方法であって、前記放熱板と接合した複数の前記チップ構造体を前記モジュール基板に実装した後、前記放熱板に設けられた貫通孔を介して封止用樹脂を供給してそれぞれの前記チップ構造体の前記接続端子の周囲を樹脂封止することを特徴とする半導体装置の製造方法。

【請求項9】 請求項4、5、6、7または8記載の半導体装置の製造方法であって、各々の前記チップ構造体における前記半導体チップがメモリチップであり、前記接続端子としてバンプ電極を形成することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体製造技術に関し、特に、メモリモジュールの量産性および信頼性の向上に適用して有効な技術に関する。

【0002】

【従来の技術】以下に説明する技術は、本発明を研究、完成するに際し、本発明者によって検討されたものであり、その概要は次のとおりである。

【0003】複数の半導体チップ（チップ構造体）または半導体パッケージ（チップ構造体）を搭載したモジュール製品の一例として、S I M M (Single In-line Memory Module) やD I M M (Dual In-line Memory Module) と呼ばれるメモリモジュールがある。

【0004】このメモリモジュールは、複数のメモリチップ、またはメモリチップを有した複数（例えば、8個程度）の半導体パッケージが、モジュール基板に取り付けられたものであり、パーソナルコンピュータ（以降、パソコンと略す）やワークステーションなどにおいて、使用メモリを増設する際に、パソコンやワークステーションが備えるマザーボードなどに搭載してメモリ容量を増やすものである。

【0005】なお、メモリモジュールでは、メモリチップや半導体パッケージなどの複数のチップ構造体がモジュール基板に搭載されるため、メモリモジュールとしての発熱量も大きくなり、これにより、メモリモジュールに放熱板を取り付ける場合もある。

【0006】その際、メモリモジュールの放熱板としては、各チップ構造体に接触しつつ、モジュール基板全体を覆う形状の放熱カバーなどが用いられている。

【0007】なお、S I M Mなどのメモリモジュールに

については、例えば、株式会社工業調査会、1993年9月1日発行、「電子材料9月号」、33～39頁に記載されている。

【0008】

【発明が解決しようとする課題】ところが、前記した技術のメモリモジュールの放熱カバーは、コストが高い上、チップ構造体の高さにばらつきがあるため、放熱カバー取り付け用の接合材をボイドレスの状態として放熱カバーを装着することが非常に困難であることが問題とされる。

【0009】さらに、ボイドを有した状態で放熱カバーを装着しても放熱効果が不充分となることが問題とされる。

【0010】本発明の目的は、量産性を向上してコストを低減するとともに、信頼性の向上を図る半導体装置およびその製造方法を提供することにある。

【0011】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0012】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

【0013】すなわち、本発明の半導体装置は、半導体チップとこれの表面電極に電気的に接続する接続端子とを備えた複数のチップ構造体と、複数の前記チップ構造体を支持し、前記チップ構造体の前記接続端子と電気的に接続する外部端子が設けられたモジュール基板と、それぞれの前記チップ構造体の基板実装側の面と反対側の面に取り付けられた放熱板とを有し、前記放熱板と複数の前記チップ構造体のそれぞれの前記反対側の面とを接合した後、複数の前記チップ構造体を前記モジュール基板に実装して形成するものである。

【0014】これにより、チップ構造体の高さのばらつきに無関係に先付けで各チップ構造体を放熱板に取り付けることができる。

【0015】したがって、それぞれのチップ構造体と放熱板との接合性の向上を図ることができ、その結果、放熱板を有した半導体装置の信頼性を向上させることができる。

【0016】さらに、複数のチップ構造体を予め放熱板に取り付け、その後、一括して複数のチップ構造体を放熱板ごとモジュール基板に実装できるため、半導体装置の量産性を向上できる。

【0017】また、本発明の半導体装置の製造方法は、半導体チップとこれの表面電極に電気的に接続する接続端子とを備えた複数のチップ構造体を準備する工程と、複数の外部端子が設けられ、複数の前記チップ構造体を支持可能なモジュール基板を準備する工程と、放熱板と、複数の前記チップ構造体におけるそれぞれの基板実

装側の面と反対側の面とを接合する工程と、複数の前記チップ構造体におけるそれぞれの前記接続端子と前記モジュール基板とを電気的に接続して複数の前記チップ構造体を前記モジュール基板に実装する工程とを有し、前記放熱板と複数の前記チップ構造体のそれぞれの前記反対側の面とを接合した後、複数の前記チップ構造体をそれぞれ電気的に接続して前記モジュール基板に実装するものである。

【0018】

10 【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。

【0019】図1は本発明の半導体装置の実施の形態の一例であるメモリモジュールの構造を示す図であり、

(a)は平面図、(b)は側面図、図2は図1に示すメモリモジュールに用いられるウェハプロセスパッケージ(チップ構造体)の構造の一例を示す図であり、(a)は部分拡大断面図、(b)は部分拡大平面図、図3は図2に示すウェハプロセスパッケージに用いられる半導体ウェハの構造の一例を示す拡大部分平面図、図4(a)、(b)、(c)、(d)、(e)、(f)は本発明の半導体装置の一例であるメモリモジュールの製造手順を示すプロセス図、図5は図4(f)に示すA部の部分拡大断面図、図6は本発明の半導体装置の製造方法におけるウェハプロセスパッケージ(チップ構造体)のモジュール基板への実装手順の一例を示すステップ図である。

【0020】図1に示す本実施の形態の半導体装置は、それぞれに半導体集積回路が形成された複数の半導体チップ1を有するモジュール製品であり、前記半導体装置の一例として、半導体チップ1がメモリチップであり、かつ放熱板4を備えた放熱タイプのメモリモジュール10の場合について説明する。

【0021】なお、メモリモジュール10は、パソコンやワークステーションなどにおいて、使用メモリを増設する目的で、複数個のチップ構造体(前記メモリチップそのもの、もしくは前記メモリチップを有した構造体)を実装してメモリ容量を増やすものである。

【0022】また、本実施の形態では、メモリモジュール10に用いるチップ構造体は、半導体チップ1のパッド1a(表面電極)に電気的に接続する配線部1b(図2(a)、(b)参照)とこれに電気的に接続するバンプ電極1c(接続端子)とを、図3に示すようなダイシング前の半導体ウェハ2の各チップ領域2aで形成した後、個々の前記チップ構造体に切断分離して取得したものである。

【0023】本実施の形態では、半導体チップ1(メモリチップ)を備えた前記チップ構造体をウェハプロセスパッケージ(以降、WPPと略す)5と呼ぶことにし、以降前記チップ構造体がWPP5の場合について説明する。

【0024】ただし、前記チップ構造体は、前記ウェハ

プロセスパッケージに限らず、ダイシング後に半導体チップ1にバンパ電極1cを形成したものであってもよい。

【0025】ここで、メモリモジュール10の構成について説明すると、半導体チップ1とこれのパッド1a（表面電極）に電氣的に接続するバンパ電極1c（接続端子）とを備えた複数（本実施の形態では8個）のチップ構造体であるWPP5と、8個のWPP5を支持し、かつWPP5のバンパ電極1cと電氣的に接続する外部端子3aが設けられたモジュール基板3と、それぞれのWPP5の裏面5a（基板実装側の面）と反対側の面である背面5bに取り付けられた放熱板4とからなり、1つの放熱板4と8個のWPP5のそれぞれの背面5bとを接合した後、この放熱板4に取り付けられた8個のWPP5をモジュール基板3に実装して形成したものである。

【0026】なお、WPP5における接続端子は、例えば、はんだバンパや金バンパなどのバンパ電極1cであり、これは、半導体ウェハ状態において、蒸着などによって形成したものである。

【0027】また、配線部1bは、例えば、銅配線などであり、さらに、パッド1aは、アルミニウムなどからなる半導体チップ1の表面電極である。

【0028】また、モジュール基板3には、図5に示すように、搭載する8個のWPP5の配列に応じて複数の電極3bと、これに電氣的に接続して設けられた外部端子3a（図1参照）とが形成されている。この外部端子3aは、例えば、パーソナルコンピュータなどにモジュール基板3を取り付ける際に、パーソナルコンピュータの本体のポート部などに差し込んで、パーソナルコンピュータと電氣的に接続するものである。

【0029】なお、モジュール基板3の大きさは、例えば、130mm×25mm程度のものであるが、モジュール基板3の大きさについては、前記サイズに限定されるものではなく、搭載するチップ構造体（WPP5）の大きさや数に応じて種々変更可能である。

【0030】また、放熱板4は、放熱性の高い材料、例えば、銅などによって形成されたものであり、その大きさは、モジュール基板3とほぼ同じ程度のものである。さらに、放熱板4の厚さは、例えば、0.1～0.5mmであるが、前記モジュール基板3の場合と同様に種々変更可能なものである。

【0031】また、図5に示すように、チップ構造体であるWPP5は、例えば、エポキシ系の樹脂接着剤などを用いてその背面5bが放熱板4に固定されている。

【0032】さらに、放熱板4と接合したWPP5をモジュール基板3に実装する際には、一括リフローなどにより、8個のWPP5を一括してモジュール基板3に実装する。

【0033】次に、本実施の形態のメモリモジュール1

0（半導体装置）の製造方法を図6に示すWPP5の実装のステップ図に基づいて説明する。

【0034】まず、半導体チップ1とこれのパッド1aに電氣的に接続するバンパ電極1cとを備えた複数（本実施の形態では、8個）のチップ構造体であるWPP5を準備する。

【0035】なお、本実施の形態のチップ構造体は、WPP5であるため、このWPP5を準備する際に、半導体チップ1のパッド1aに電氣的に接続する配線部1bとこれに電氣的に接続するバンパ電極1cとを、図3に示すように、半導体ウェハ2の各チップ領域2aで形成した後、個々のWPP5に切断分離してWPP5を準備する。

【0036】すなわち、ダイシング前の半導体ウェハ2において、半導体集積回路形成後、成膜技術により、銅などからなる配線部1bをパッド1aに電氣的に接続させて形成する。

【0037】さらに、蒸着などにより、この配線部1bと電氣的に接続させてはんだなどからなるバンパ電極1cを形成する。

【0038】これにより、図3に示すように、半導体ウェハ2の状態において各チップ領域2aに、配線部1bとバンパ電極1cとを形成することができる。

【0039】なお、本実施の形態の半導体チップ1は、メモリチップである。

【0040】その後、半導体ウェハ2のダイシングを行い、図6に示すステップS1および図4（a）に示すように、個々のWPP5に分離して8個のWPP5を取得する。

【0041】一方、複数の外部端子3aが設けられ、かつ8個のWPP5（チップ構造体）を支持可能な図4（e）に示すモジュール基板3を準備する。

【0042】続いて、図4（c）に示すように、放熱板4と、8個のWPP5におけるそれぞれの背面5bとを接合する。

【0043】この際、図4（a）、（b）に示すように、放熱板4を所定箇所配置し、さらに、放熱板4の所定箇所上方にそれぞれのWPP5の背面5bを放熱板4に向けて（下方に向けて）WPP5を配置する（ステップS2）。

【0044】その後、図4（c）に示すように、エポキシ系の樹脂接着剤などを用いて放熱板4の所定箇所に8個のWPP5の背面5bを取り付ける（ステップS3）。

【0045】8個のWPP5を放熱板4に取り付けた後、8個のWPP5におけるそれぞれのバンパ電極1cとこれに対応するモジュール基板3の電極3bとを電氣的に接続して8個のWPP5をモジュール基板3に実装する。

【0046】ここでは、図4（d）に示すように、放熱

板4の表裏を反転させ、放熱板4のWPP5が取り付けられている面を下方に向ける。

【0047】つまり、図4(d)、(e)に示すように、モジュール基板3を所定箇所に配置し、さらに、その上方にWPP5をモジュール基板側に向けた放熱板4を配置する(ステップS4)。

【0048】なお、モジュール基板3の電極3b(図5参照)には、予め、はんだをプリコートしておくことが望ましい。

【0049】その後、図5に示すように、モジュール基板3の電極3bと、これに対応するWPP5のバンパ電極1cとの位置をおおよそ合わせ、一括リフローを行って、図4(f)に示すように、放熱板4付きの8個のWPP5をモジュール基板3に実装する(ステップS5)。

【0050】これにより、図1(b)に示すような、メモリモジュール10を製造することができる。

【0051】本実施の形態のメモリモジュール(半導体装置)およびその製造方法によれば、以下のような作用効果が得られる。

【0052】すなわち、放熱板4と8個のWPP5(チップ構造体)とを接合した後にこの放熱板付きの8個のWPP5をモジュール基板3に実装することにより、WPP5の高さのばらつきに無関係に先付けで各WPP5を放熱板4に取り付けることができる。

【0053】これにより、それぞれのWPP5と放熱板4との接合性の向上を図ることができ、その結果、放熱板4を有したメモリモジュール10(半導体装置)の信頼性を向上させることができる。

【0054】さらに、8個のWPP5を予め放熱板4に取り付け、その後、一括して8個のWPP5を放熱板4ごとモジュール基板3に実装できるため、メモリモジュール10の量産性を向上できる。

【0055】したがって、放熱板4付きのメモリモジュール10の製造コストを低減できる。

【0056】さらに、放熱板4の大きさを従来の放熱カバーよりも小さくすることができるため、メモリモジュール10に対しての放熱効果を損ねることなく、放熱板4付きのメモリモジュール10のコストを低減することができる。

【0057】また、本実施の形態のように、WPP5における半導体チップ1がメモリチップであり、したがって、半導体装置がメモリモジュール10である場合には、メモリモジュール10のニーズは多いため、このメモリモジュール10の量産性向上によるメモリモジュール10のコスト低減効果をさらに大きくすることができる。

【0058】以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記発明の実施の形態に限定されるものではなく、その

要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【0059】例えば、前記実施の形態の半導体装置(メモリモジュール10)の製造方法において、図7の他の実施の形態の製造方法に示すように、WPP5と放熱板4とを接合する際、WPP5の位置決め手段としてガイド枠部材6(チップ構造体位置決め手段)を用いてもよいし、また、図8の他の実施の形態の製造方法に示すように、WPP5の位置決め手段として放熱板4にオフセット部4a(チップ構造体位置決め手段)を形成してもよい。

【0060】すなわち、図7に示す半導体装置の製造方法は、まず、図7(a)に示すように前記実施の形態と同じ方法によって8個のWPP5を形成して準備し、一方、図7(b)に示すガイド枠部材6と図7(c)に示す放熱板4とを準備した後、図7(d)、(e)に示すように、ガイド枠部材6を用いてそれぞれのWPP5を位置決めしつつ、放熱板4と接合させるものである。

【0061】同様に、図8に示す半導体装置の製造方法は、図8(a)、(b)、(c)に示すように、放熱板4に形成されたオフセット部4aを利用してそれぞれのWPP5を位置決めしつつ、放熱板4と接合させるものである。

【0062】なお、図7に示すガイド枠部材6は、放熱板4へのWPP5の取り付け終了後に上方に抜き取って放熱板付きのWPP5とは分離させるものである。

【0063】図7および図8に示す半導体装置の製造方法により、放熱板4と8個のWPP5とを接合する際に、ガイド枠部材6や放熱板4のオフセット部4aなどのチップ構造体位置決め手段によってそれぞれのWPP5の放熱板4に対しての位置決めが可能になるため、WPP5と放熱板4との接合の位置精度を高精度にすることができる。

【0064】また、図9、図10および図11の他の実施の形態の半導体装置に示すように、放熱板付きのWPP5をモジュール基板3に実装する際に放熱板4とモジュール基板3とを位置決めする放熱板位置決め手段を備えたものであってもよい。

【0065】ここで、図9に示す半導体装置は、放熱板位置決め手段としてスペーサ部材7を備えたものである。なお、スペーサ部材7には、所定高さ(放熱板取り付け後の半導体チップ1とモジュール基板3との間隙量を決めるもの)で、かつ放熱板4の大きさに応じた段差部7aが形成され、スペーサ部材7は、モジュール基板3に取り付け後、モジュール基板3の外部端子3aを覆わないような開口部を有した枠体である。

【0066】さらに、図9に示すスペーサ部材7は、メモリモジュール10の組み立て後に取り外し不可能なものであるが、スペーサ部材7を分割構造にすることにより、放熱板付きのWPP5を実装した後でスペーサ部材

7を水平にスライドさせて取り外すことも可能になる。つまり、スペーサ部材7を分割構造にして着脱自在にすることも可能である。

【0067】図9に示す半導体装置の製造方法は、まず、図9(a)に示すように前記実施の形態と同じ方法によって8個のWPP5を形成して準備し、一方、図9(b)に示すスペーサ部材7と図9(c)に示すモジュール基板3とを準備した後、図9(d), (e)に示すように、スペーサ部材7を用いて放熱板4を位置決めしつつ、モジュール基板3に放熱板付きのWPP5を実装させるものである。

【0068】また、図10に示す半導体装置は、放熱板位置決め手段としてコネクタ8aおよびこれに嵌合するコネクタ用ピン8bを備えたものである。すなわち、放熱板4の四隅にコネクタ用ピン8bが取り付けられ、かつ、モジュール基板3の四隅にコネクタ8aが取り付けられており、放熱板付きのWPP5をモジュール基板3に実装させる際には、コネクタ用ピン8bをコネクタ8aにはめ込みながら実装するものである。

【0069】したがって、図10に示す半導体装置の製造方法では、まず、図10(a)に示すように前記実施の形態と同じ方法によって8個のWPP5を形成して準備した後、放熱板4の四隅にコネクタ用ピン8bが取り付けられた放熱板4とWPP5とを接合し、一方、図10(b)に示すコネクタ8aが取り付けられた図10(c)に示すモジュール基板3を準備し、その後、図10(d), (e)に示すように、コネクタ8aにコネクタ用ピン8bを嵌合させて放熱板4を位置決めしつつ、モジュール基板3に放熱板付きのWPP5を実装するものである。

【0070】また、図11に示す半導体装置は、放熱板位置決め手段として放熱板4に端部曲げ部4bが形成され、かつこの端部曲げ部4bを固定する4つのリベット9を備えたものである。すなわち、放熱板付きのWPP5をモジュール基板3に実装する際には、放熱板4の端部曲げ部4bをモジュール基板3に載置した後、両者を四隅でリベット9によって固定するものである。

【0071】したがって、図11に示す半導体装置の製造方法では、まず、図11(a)に示すように前記実施の形態と同じ方法によって8個のWPP5を形成して準備した後、両端に端部曲げ部4bが形成された放熱板4とWPP5とを接合し、一方、図11(b)に示すモジュール基板3を準備し、その後、図11(c), (d)に示すように、放熱板4の端部曲げ部4bをモジュール基板3に載置した後、両者を四隅でリベット9によって固定する。

【0072】これにより、モジュール基板3に対して放熱板4を位置決めしつつ、モジュール基板3に放熱板付きのWPP5を実装することができる。

【0073】なお、図11に示すメモリモジュール10

では、放熱板4の端部曲げ部4bがモジュール基板3に接触するため、リベット9の代用として、はんだを用いてもよい。

【0074】図9～図11に示す他の実施の形態のメモリモジュール10によれば、放熱板位置決め手段によって放熱板4とモジュール基板3とを位置決めして実装することにより、放熱板4とモジュール基板3との接合の位置精度を高精度にすることができる。

【0075】この際、放熱板4の取り付け高さも高精度にすることができる。

【0076】さらに、半導体チップ1とモジュール基板3との間隔も高精度に一定の間隔を維持することができる。

【0077】なお、放熱板位置決め手段によって放熱板4の取り付け高さを変えることが可能になる。

【0078】これにより、WPP5のバンプ電極1cによる接合高さを調節することも可能になる。

【0079】また、図12(a), (b)に示す他の実施の形態の半導体装置は、チップ構造体であるWPP5をモジュール基板3の表裏両面に8個ずつ合計16個搭載したものであり、この場合においても、予め放熱板4にWPP5を取り付け、その後、放熱板付きのWPP5をモジュール基板3に実装するものである。

【0080】また、図13に示す他の実施の形態の半導体装置は、図13(c)に示すようにWPP5をモジュール基板3に実装した後、WPP5とモジュール基板3との間のバンプ電極1cによる接続部にアンダーフィルの樹脂封止を行うものである。

【0081】ここで、アンダーフィルを行うにあたり、図13(a), (b)に示すように、放熱板4には複数のスリット状の貫通孔4cが形成されている。なお、この貫通孔4cは、隣あったWPP5の間の位置に対応するように形成されている。

【0082】したがって、放熱板4をモジュール基板3に実装した後、この貫通孔4cを介してアンダーフィル用の封止用樹脂11を供給すると、封止用樹脂11はWPP5の側面を経てバンプ電極1cが配置された前記接続部に周り込む。

【0083】その結果、メモリモジュール10におけるアンダーフィルの樹脂封止を行うことができる。

【0084】すなわち、放熱板4にスリット状の貫通孔4cが設けられていることにより、アンダーフィルの塗布を行う際の封止用樹脂11の供給領域を確保することができる。

【0085】これにより、放熱板4に取り付けられた8個のWPP5をモジュール基板3に実装した後であっても放熱板4の貫通孔4cを介して封止用樹脂11を供給することができ、その結果、それぞれのWPP5のバンプ電極1cの周囲を樹脂封止することが可能になる。

【0086】なお、アンダーフィルの樹脂封止は、図1

3に示す半導体装置(メモリモジュール10)に限らず、前記実施の形態(図1)および図7~図13に示す半導体装置すべてに関し、同様に放熱板4に貫通孔4cを設けることにより、図13に示すメモリモジュール10と同様の方法でそれぞれにおいてアンダーフィルの樹脂封止を行うことができる。

【0087】また、WPP5の接続端子として、はんだの bumps 電極1cを用い、モジュール基板3の電極3bに予めはんだをプリコートして一括リフローでWPP5を実装することにより、はんだ接続の際の接続高さのマージンを増加させることができる。

【0088】これにより、メモリモジュール10(半導体装置)の信頼性を向上させることができる。

【0089】また、前記実施の形態および前記他の実施の形態では、チップ構造体がWPP5の場合について説明したが、前記チップ構造体は、WPP5に限定されるものではなく、ダイシング後にパッド1aに接続した bumps 電極1cを形成するベアチップ実装用の半導体チップ製品であってもよい。

【0090】さらに、前記チップ構造体は、半導体チップ1を有したパッケージ製品、例えば、SOP (Small Outline Package)などであってもよい。

【0091】その際、チップ構造体の接続端子は、 bumps 電極1cではなく、リードフレームなどに形成されるアウトリードを使用することになる。

【0092】また、前記実施の形態および前記他の実施の形態では、半導体チップ1がメモリチップの場合について説明したが、前記半導体チップ1は、その内部にマイコン領域やメモリ領域が形成されたシステムチップであってもよく、また、両者の組み合わせであってもよい。

【0093】さらに、前記実施の形態および前記他の実施の形態では、半導体装置がメモリモジュール10の場合について説明したが、前記半導体装置は、メモリモジュール10に限定されずに、マイコンチップやメモリチップなどの複数種類の半導体チップ1を有したMCM (Multi-Chip-Module)などであってもよい。

【0094】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0095】(1)．放熱板と複数のチップ構造体とを接合した後にこの放熱板付きの複数のチップ構造体をモジュール基板に実装することにより、チップ構造体の高さのばらつきに無関係に先付けで各チップ構造体を放熱板に取り付けることができる。これにより、各々のチップ構造体と放熱板との接合性の向上を図ることができ、その結果、放熱板を有した半導体装置の信頼性を向上させることができる。

【0096】(2)．複数のチップ構造体を予め放熱板

に取り付け、その後、一括して複数のチップ構造体を放熱板ごとモジュール基板に実装できるため、半導体装置の量産性を向上できる。したがって、放熱板付きの半導体装置の製造コストを低減できる。

【0097】(3)．チップ構造体における半導体チップがメモリチップであり、これにより、半導体装置がメモリモジュールである場合には、メモリモジュールのニーズは多いため、量産性向上による半導体装置のコスト低減効果をさらに大きくすることができる。

【0098】(4)．放熱板と複数のチップ構造体とを接合する際に、チップ構造体位置決め手段によって各々のチップ構造体と放熱板とを位置決めして接合することにより、チップ構造体と放熱板との接合の位置精度を高精度にすることができる。

【0099】(5)．放熱板に取り付けられた複数のチップ構造体をモジュール基板に実装する際に、放熱板位置決め手段によって放熱板とモジュール基板とを位置決めして実装することにより、放熱板とモジュール基板との接合の位置精度を高精度にすることができ、かつ、放熱板の取り付け高さも高精度にすることができる。

【0100】(6)．放熱板に貫通孔が設けられていることにより、アンダーフィルの塗布を行う際の封止用樹脂の供給領域を確保することができる。これにより、複数のチップ構造体をモジュール基板に実装した後であってもこの貫通孔を介して封止用樹脂を供給することができ、その結果、それぞれのチップ構造体の接続端子の周囲を樹脂封止することが可能になる。

【0101】(7)．チップ構造体の接続端子として、はんだの bumps 電極を用い、モジュール基板の電極に予めはんだをプリコートして一括リフローでチップ構造体を実装することにより、はんだ接続の際の接続高さのマージンを増加させることができる。これにより、半導体装置の信頼性を向上させることができる。

【図面の簡単な説明】

【図1】(a)、(b)は本発明の半導体装置の実施の形態の一例であるメモリモジュールの構造を示す図であり、(a)は平面図、(b)は側面図である。

【図2】(a)、(b)は図1に示すメモリモジュールに用いられるウェハプロセスパッケージ(チップ構造体)の構造の一例を示す図であり、(a)は部分拡大断面図、(b)は部分拡大平面図である。

【図3】図2に示すウェハプロセスパッケージに用いられる半導体ウェハの構造の一例を示す拡大断面図である。

【図4】(a)、(b)、(c)、(d)、(e)、(f)は本発明の半導体装置の一例であるメモリモジュールの製造手順を示すプロセス図である。

【図5】図4(f)に示すA部の部分拡大断面図である。

【図6】本発明の半導体装置の製造方法におけるウェハ

プロセスパッケージ（チップ構造体）のモジュール基板への実装手順の一例を示すステップ図である。

【図7】(a), (b), (c), (d), (e)は本発明の他の実施の形態の半導体装置であるメモリモジュールにおけるチップ構造体と放熱板の接合手順を示すプロセス図であり、(a), (b), (c)は断面図、(d)は平面図、(e)は(d)のB-B断面を示す断面図である。

【図8】(a), (b), (c)は本発明の他の実施の形態の半導体装置であるメモリモジュールにおけるチップ構造体と放熱板の接合手順を示すプロセス図である。

【図9】(a), (b), (c), (d), (e)は本発明の他の実施の形態の半導体装置であるメモリモジュールの製造手順を示すプロセス図であり、(a), (b), (c)は断面図、(d)は平面図、(e)は(d)のC-C断面を示す断面図である。

【図10】(a), (b), (c), (d), (e)は本発明の他の実施の形態の半導体装置であるメモリモジュールの製造手順を示すプロセス図であり、(a), (b), (c)は断面図、(d)は平面図、(e)は(d)のD-D断面を示す断面図である。

【図11】(a), (b), (c), (d)は本発明の他の実施の形態の半導体装置であるメモリモジュールの製造手順を示すプロセス図であり、(a), (b)は断面図、(c)は平面図、(d)は(c)のE-E断面を示す断面図である。

【図12】(a), (b)は本発明の他の実施の形態の半導体装置であるメモリモジュールの構造を示す図であり、(a)は平面図、(b)は(a)のF-F断面を示す断面図である。

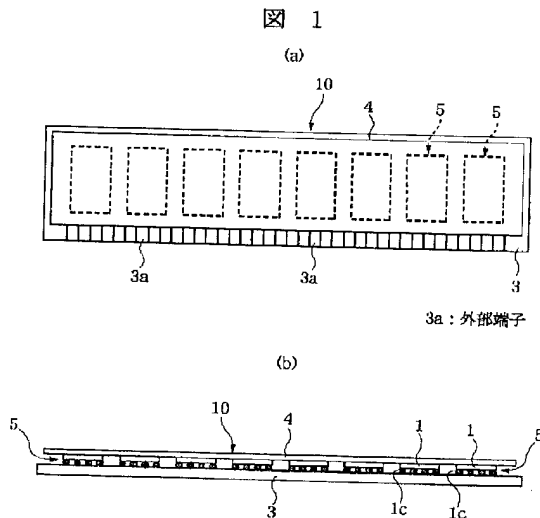
【図13】(a), (b), (c)は本発明の他の実施の形 30

態の半導体装置であるメモリモジュールの構造を示す図であり、(a)は平面図、(b)は(a)のG-G断面を示す断面図、(c)は(b)のH部を示す部分拡大断面図である。

【符号の説明】

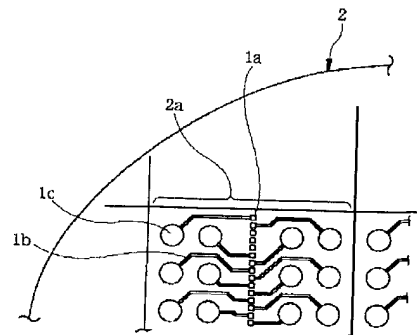
- 1 半導体チップ
- 1a パッド（表面電極）
- 1b 配線部
- 1c バンプ電極（接続端子）
- 2 半導体ウェハ
- 2a チップ領域
- 3 モジュール基板
- 3a 外部端子
- 3b 電極
- 4 放熱板
- 4a オフセット部（チップ構造体位置決め手段）
- 4b 端部曲げ部（放熱板位置決め手段）
- 4c 貫通孔
- 5 WPP（チップ構造体）
- 5a 裏面（基板実装側の面）
- 5b 背面（反対側の面）
- 6 ガイド枠部材（チップ構造体位置決め手段）
- 7 スペース部材（放熱板位置決め手段）
- 7a 段差部
- 8a コネクタ（放熱板位置決め手段）
- 8b コネクタ用ピン（放熱板位置決め手段）
- 9 リベット（放熱板位置決め手段）
- 10 メモリモジュール（半導体装置）
- 11 封止用樹脂

【図1】



【図3】

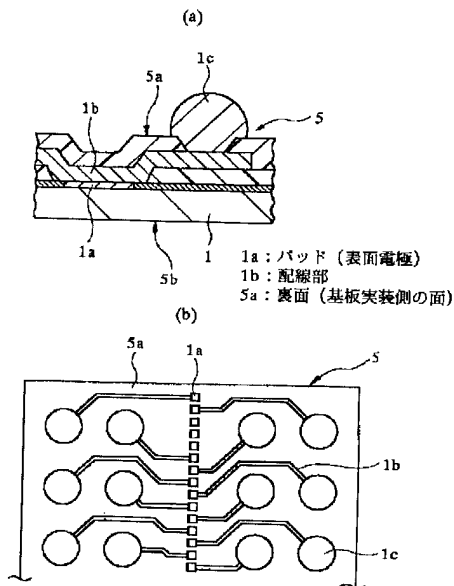
図 3



2: 半導体ウェハ
2a: チップ領域

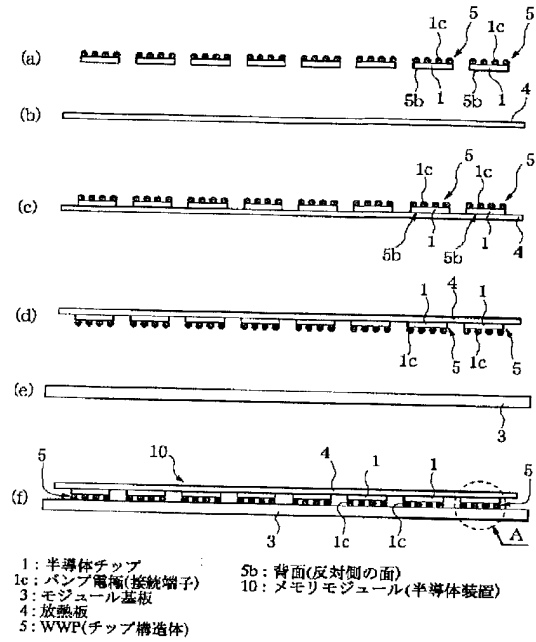
【図2】

図 2



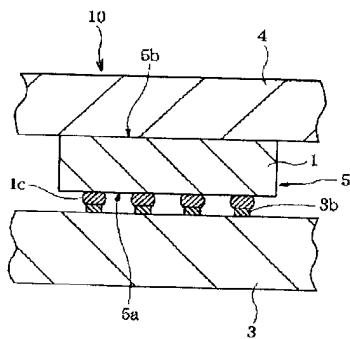
【図4】

図 4



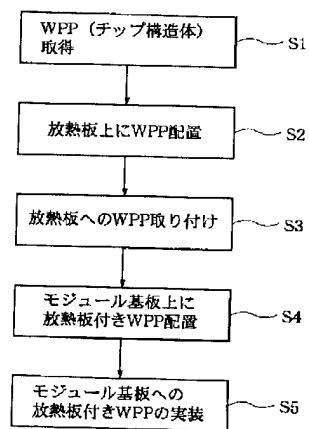
【図5】

図 5



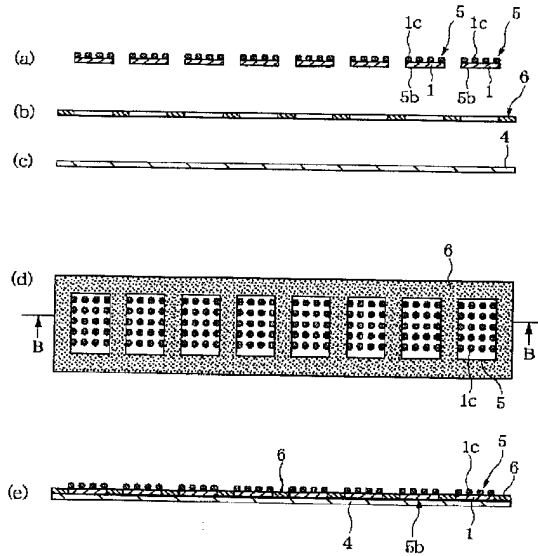
【図6】

図 6



【図7】

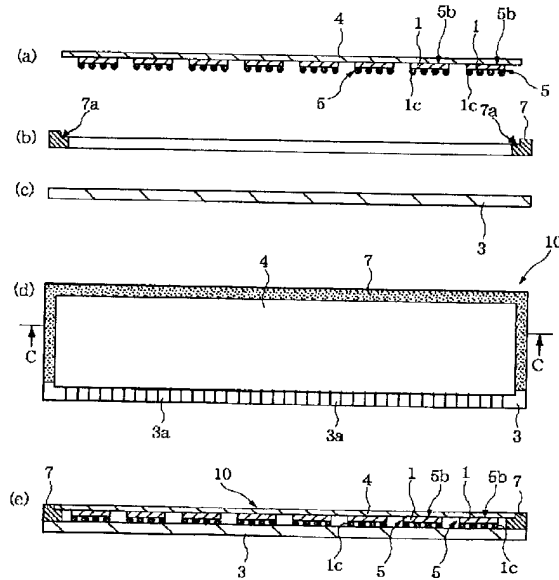
図 7



6: ガイド枠部材
(チップ構造体位置決め手段)

【図9】

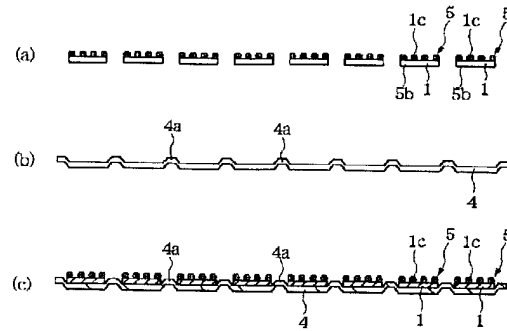
図 9



7: スペース部材 (放熱板位置決め手段)

【図8】

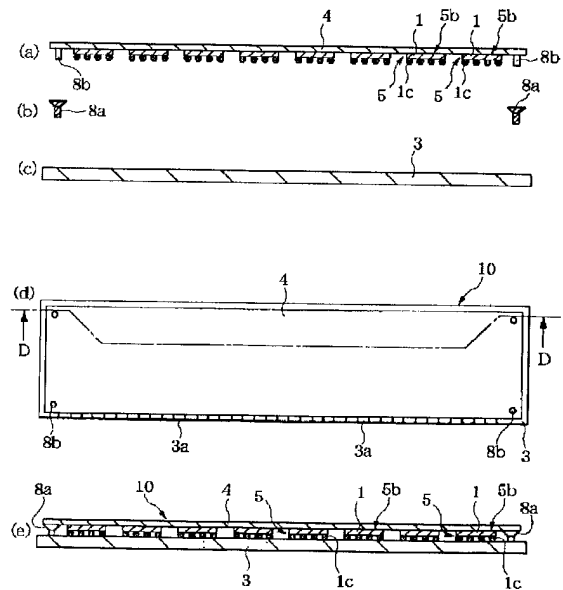
図 8



4a: オフセット部
(チップ構造体位置決め手段)

【図10】

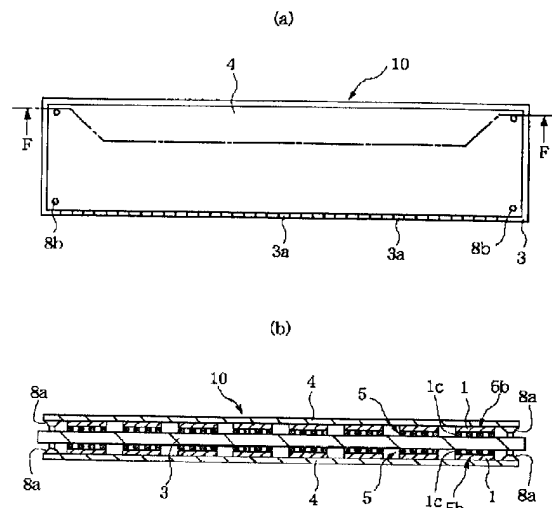
図 10



8a: コネクタ (放熱板位置決め手段)
8b: コネクタ用ピン (放熱板位置決め手段)

【図12】

☒ 12



4b: 端部曲げ部 (放熱板位置決め手段)
9: リベット (放熱板位置決め手段)

☒ 13

